

강의 계획서

교과목명	마이크로프로세서설계		개설년도	2011		
교과목 번호	ECE30077		분반	01		
학점	3		개설학기	1학기		
강의시간	화,금 3		이수구분	전공선택		
학과 및 학년	1		강의실	뉴턴홀 311호		
	이름	E-mail	전화	Office Hour	Room No.	
담당교수	이강			월목 1시-3시	뉴턴홀408호	
주관교수	이강		1387	월목 1시-3시	뉴턴홀408호	
담당조교						
강좌구성			선수과목	병수과목		
이론	실험실습	설계	컴퓨터구조, (논리설계)	없음		
1	0	2				
강의 목표	1	마이크로프로세서의 ISA 를 이해하고 새로운 ISA 를 설계할 수 있다.				
	2	주어진 ISA 를 합성가능한 HDL 로 구현할 수 있다.				
	3	팀으로 효과적으로 회로설계 프로젝트를 할 수 있고, 팀에서 의사소통을 원활히 할 수 있다.				
강의 개요	<p>이 과목의 목표는 마이크로프로세서를 설계하고 구현할 수 있는 능력을 기르는 것이다. 컴퓨터 구조의 파이프라인 부분을 review하고 pipeline의 hazard 처리 기법을 배운다. MIPS ISA 를 복습하고, 학생들이 팀을 이루어 창의적으로 자신들만의 16비트 RISC 기반의 ISA를 설계하여 발표하고, 이를 서로 토의한 뒤에 자신만의 ISA를 확정한다. 구현은 파이프라인 버전과 multiplecycle 버전은 모두 한다. Verilog로 이 ISA를 구현하는 프로세서 하드웨어를 설계하고 시뮬레이션과 FPGA보드를 이용하여 하드웨어로 구현한 뒤 여러문제를 각자의 프로세서로 프로그램하여 FPGA 보드에서 작동시켜 문제를 해결으로써 설계 능력을 보여준다.</p>					
교재	VHDL사용자를 배려한 Verilog 2001, 이강, 장경선, 흥릉과학출판사					
부교재	VHDL을 이용한 RISC 프로세서 설계, 이강,장경선, 흥릉과학출판사					
평가도구 및 비중	평가도구	중간시험	최종설계	중간발표	출석	과제물제출
	비중	20	50	5	10	15
	<p>[Attendance Policy]</p> <p>수업 개시후 25분 지나서 입실하거나 수업도중에 나가면 결석으로 간주, 3회 지각은 1회결석, 1회 결석시 총점의 1%감점, 9회 결석은 F,</p>					
강의 기자재	Xilinx ISE , FPGA board (MP3100X), beam projector, computer					

주별 강의 일정

주	강의 주제 및 내용	예습범위	과제물	기타
1	강의 소개 MIPS ISA 복습			
2	Single Cycle Execution 설계 복습 Multiple clock cycle 설계 복습			
3	Pipeline 설계 복습		myRISC ISA 제안	
4	ISA 설계 발표			
5	Verilog 문법 기초 Verilog 합성 툴			
6	조합회로 설계 및 Verilog 표현 레지스터 설계 및 Verilog 표현			
7	FSM 설계 및 VHDL 표현 FPGA 보드를 이용한 설계 검증		VHDL 사용실습	
8	중간 시험			
9	고급 Verilog			
10	조별 중간 설계 결과 발표		myRISC 시뮬레이션	
11	고급 Verilog 사용 2			
12	8 비트 toy processor 설계 및 구현		Toy processor 변형 설계	
13	16 비트 RISC processor 설계 및 구현 1			
14	16 비트 RISC processor 설계 및 구현 2			
15	설계 결과 최종 발표		myRISC 데모	
16	Final Exam			

주의 및 공지사항

Handong Honor Coder 위반시 F 학점. 실습 기자재는 철저히 관리할 것.